

Docket No.: 65933-056

**PATENT**

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

In re Application of : Customer Number: 20277  
Yoshio OKAYAMA, et al. : Confirmation Number:  
Serial No.: : Group Art Unit:  
Filed: December 01, 2003 : Examiner:  
For: METHOD OF MANUFACTURING A SEMICONDUCTOR DEVICE

**CLAIM OF PRIORITY AND  
TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT**

Mail Stop Patent Application  
Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

Sir:


In accordance with the provisions of 35 U.S.C. 119, Applicants hereby claim the priority of:

**Japanese Patent Application No. 2002-347094, filed November 29, 2002**

cited in the Declaration of the present application. A Certified copy is submitted herewith.

Respectfully submitted,

MCDERMOTT, WILL & EMERY

  
Arthur J. Steiner  
Registration No. 26,106

600 13<sup>th</sup> Street, N.W.  
Washington, DC 20005-3096  
(202) 756-8000 AJS:prg  
Facsimile: (202) 756-8087  
**Date: December 1, 2003**

日本国特許庁  
JAPAN PATENT OFFICE

65933-056  
Okayama et al.  
Dec. 1, 2003  
McDermott, Will & Emery

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日  
Date of Application: 2002年11月29日

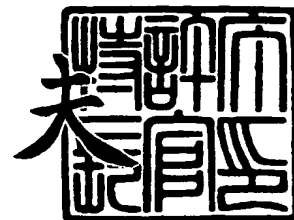
出願番号  
Application Number: 特願2002-347094  
[ST. 10/C]: [JP2002-347094]

出願人  
Applicant(s): 三洋電機株式会社

2003年10月17日

特許庁長官  
Commissioner,  
Japan Patent Office

今井康夫



出証番号 出証特2003-3085630

【書類名】 特許願

【整理番号】 NPC1020059

【提出日】 平成14年11月29日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 21/302

【発明者】

    【住所又は居所】 大阪府守口市京阪本通2丁目5番5号 三洋電機株式会社  
社内

    【氏名】 岡山 芳央

【発明者】

    【住所又は居所】 大阪府守口市京阪本通2丁目5番5号 三洋電機株式会社  
社内

    【氏名】 中島 勇人

【発明者】

    【住所又は居所】 大阪府守口市京阪本通2丁目5番5号 三洋電機株式会社  
社内

    【氏名】 市橋 由成

【特許出願人】

    【識別番号】 000001889

    【氏名又は名称】 三洋電機株式会社

【代理人】

    【識別番号】 100105924

    【弁理士】

    【氏名又は名称】 森下 賢樹

    【電話番号】 03-3461-3687

【手数料の表示】

    【予納台帳番号】 091329

    【納付金額】 21,000円

**【提出物件の目録】**

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置の製造方法

【特許請求の範囲】

【請求項 1】 半導体基板上に絶縁膜を形成し、該絶縁膜に凹部を形成した後、該凹部を埋め込む金属膜を形成する工程と、

基板全面に対して第一の研磨を行い、前記凹部に埋設された形状の金属領域を形成する工程と、

基板全面に対して第二の研磨を行い、前記金属領域の一部と前記絶縁膜の一部とを除去する工程と、を含み、

第二の研磨を行う前記工程により、前記金属領域上部に形成される順テーパ部の少なくとも一部を除去することを特徴とする半導体装置の製造方法。

【請求項 2】 半導体基板上に、金属膜により構成された第一の配線を形成する工程と、

前記第一の配線を覆うように絶縁膜を形成する工程と、

前記絶縁膜を選択的に除去して前記第一の配線の上面に達する接続孔と、該接続孔に接続して設けられた配線溝とを形成する工程と、

前記接続孔および配線溝を埋め込む金属膜を形成する工程と、

基板全面に対して第一の研磨を行い、前記孔および配線溝に埋設された形状の第二の配線および接続プラグを形成する工程と、

基板全面に対して第二の研磨を行い、前記第二の配線の一部と前記絶縁膜の一部とを除去する工程と、を含み、

第二の研磨を行う前記工程により、前記第二の配線上部に形成される順テーパ部の少なくとも一部を除去することを特徴とする半導体装置の製造方法。

【請求項 3】 半導体基板上に絶縁膜を形成する工程と、

前記絶縁膜上に犠牲膜を形成する工程と、

前記犠牲膜および前記絶縁膜を順次選択的に除去し、該絶縁膜に凹部を形成した後、該凹部を埋め込む金属膜を形成する工程と、

基板全面に対して第一の研磨を行い、前記凹部に埋設された形状の金属領域を形成する工程と、

基板全面に対して第二の研磨を行い、前記金属領域の一部と前記絶縁膜の一部とを除去する工程と、を含み、

第二の研磨を行う前記工程により、前記犠牲膜が除去されることを特徴とする半導体装置の製造方法。

【請求項 4】 請求項 3 に記載の半導体装置の製造方法において、

絶縁膜に凹部を形成する前記工程は、前記絶縁膜よりも前記犠牲膜がより遅くエッチングされるエッチング条件で前記エッチングを行う工程を含むことを特徴とする半導体装置の製造方法。

【請求項 5】 半導体基板上に、金属膜により構成された第一の配線を形成する工程と、

前記第一の配線を覆うように絶縁膜を形成する工程と、

前記絶縁膜上に犠牲膜を形成する工程と、

前記絶縁膜および前記犠牲膜を選択的に順次除去して前記第一の配線の上面に達する接続孔と、該接続孔に接続して設けられた配線溝とを形成する工程と、

前記接続孔および配線溝を埋め込む金属膜を形成する工程と、

基板全面に対して第一の研磨を行い、前記孔および配線溝に埋設された形状の第二の配線および接続プラグを形成する工程と、

基板全面に対して第二の研磨を行い、前記第二の配線の一部と前記絶縁膜の一部とを除去する工程と、を含み、

第二の研磨を行う前記工程により、前記第二の配線上部に形成される前記犠牲膜が除去されることを特徴とする半導体装置の製造方法。

【請求項 6】 請求項 5 に記載の半導体装置の製造方法において、

絶縁膜に接続孔および配線溝を形成する前記工程は、前記絶縁膜よりも前記犠牲膜がより遅くエッチングされるエッチング条件で前記エッチングを行う工程を含むことを特徴とする半導体装置の製造方法。

【請求項 7】 請求項 1 乃至 6 いずれかに記載の半導体装置の製造方法において、前記第二の研磨における研磨速度に関する情報を取得し、該情報に基づいて第二の研磨の終点を決定することを特徴とする半導体装置の製造方法。

【請求項 8】 請求項 1 乃至 7 いずれかに記載の半導体装置の製造方法にお

いて、前記金属領域とともに研磨される前記絶縁膜の厚さを観測することにより、前記第二の研磨の終点を決定することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体装置の製造方法に関し、特にダマシン配線を含む半導体装置の製造方法に関する。

【0002】

【従来の技術】

近年、半導体デバイスの配線材料として、比抵抗の小さい銅が用いられることが多くなってきている。銅は、反応性イオンエッチングによる加工が困難であるため、銅を配線材料として用いる場合、ダマシン（Damascene）法を用いた配線形成がなされる。ダマシン法としては、配線層と接続孔とを段階的に形成していくシングルダマシン法と、配線層および接続孔を同時に形成するデュアルダマシン法が知られている。このうち、デュアルダマシン法では、接続孔と配線溝とを一度に埋め込むため、工程数削減の観点から有利なプロセスである。また接続孔にも配線と同種の銅を用いることにより、これを低抵抗化することができる（特許文献1）。

【0003】

デュアルダマシン法による配線構造の形成方法としては、ビアファースト法とトレンチファースト法とがある。ビアファースト法は、接続孔（ビアホール）部分を先に形成し、そのパターンに重ね合わせる形で配線部分の溝（トレンチ）を形成する方法である。一方、トレンチファースト法は、配線部分の溝形成を先に行い、それに重ね合わせて接続孔を形成する方法である。このうち、ビアホールのコンタクト性能を確実にする観点からは、前者が有利である。以下、図1および図2を参照して、従来技術におけるビアファースト法のデュアルダマシンプロセスを示す。

【0004】

図1（a）は、不図示の基板上に、第一の配線103、拡散防止膜105、お

よび第二の絶縁膜 107 がこの順に形成された段階を示す。基板上に第一の絶縁膜 101 を成膜した後ドライエッチングにより配線溝を形成し、その内部を埋め込むようにバリアメタル膜（不図示）および銅膜をこの順で形成する。そして、CMP（化学的機械的研磨）により配線溝外部に形成された不要なバリアメタル膜および銅膜を除去することにより、第一の配線 103 が形成される。次に、第一の配線 103 上に拡散防止膜 105 を形成する。拡散防止膜 105 は、銅の絶縁膜中への拡散を防止するため、また接続孔 111 形成時のエッチングストップパ膜として用いるために形成される。そして、拡散防止膜 105 上に、第二の絶縁膜 107 を形成する。

#### 【0005】

ここで、第二の絶縁膜 107 には低誘電率層間絶縁膜が用いられる。こうして、図 1（a）の構造が得られる。

#### 【0006】

次に、図 1（b）に示すように、第二の絶縁膜 107 上に不図示の反射防止膜およびレジスト膜 109 をこの順に形成し、接続孔 111 のレジストパターンをリソグラフィーにより形成する。そして、ドライエッチングにより接続孔 111 を形成する。この際、第二の絶縁膜 107 と拡散防止膜 105 とのエッチングレートの違いにより、拡散防止膜 105 上にてエッチングを停止させる。これは、第一の配線 103 の露出による銅汚染や、エッチング後のアッシング、洗浄工程における銅へのダメージを防止するためである。エッチング後、アッシングによりレジスト膜 109 および反射防止膜を除去する。

#### 【0007】

次に、図 1（c）に示すように、第二の絶縁膜 107 上に不図示の反射防止膜とレジスト膜 115 をこの順に形成し、配線溝 117 のレジストパターンを同様に形成する。そしてドライエッチングにより配線溝 117 を形成する。この際、接続孔 111 の底部には反射防止膜またはレジスト膜 115 が埋め込まれているため、エッチングは進行しない。

#### 【0008】

次に、図 1（d）に示すように、アッシングによりレジスト膜 115 および反



射防止膜を除去する。そして、図 2 (a) に示すように、接続孔 111 底部の拡散防止膜 105 をドライエッチングにより除去し、第一の配線 103 を露出させる。

#### 【0009】

次に、図 2 (b) に示すように、接続孔 111 および配線溝 117 を含む第二の絶縁膜 107 上全体に、バリアメタル膜 119 および電界めっきのシード層となる銅膜 (不図示) をスパッタによりこの順に形成する。そして、電界めっきにより接続孔 111 および配線溝 117 に銅膜 121 を埋め込む。

#### 【0010】

次に、図 2 (c) および図 2 (d) に示すように、不要部分の銅膜 121 およびバリアメタル膜 119 を CMP により除去する。

#### 【0011】

以上の工程により、配線溝 117 中の銅膜 121 すなわち第二の配線および第一の配線 103 と第二の配線とを接続する接続孔が形成される。

#### 【0012】

##### 【特許文献 1】

特開 2002-203898 号公報

#### 【0013】

##### 【発明が解決しようとする課題】

しかし、図 1、図 2 に示す方法について本発明者が検討した結果、次のような新たな課題が発見された。すなわち、図 2 (a) の工程で接続孔 111 底部の拡散防止膜 105 をエッチングする際に、配線溝 117 の上部では、第二の絶縁膜 107 の角のエッチング速度が速く、図 2 に示されているように順テーパー状にエッチングされることが明らかになった。このため、微細な配線間スペースにおいては、配線溝 117 上部の間隔がさらに小さくなり、寄生容量が生じる要因となっていた。また、短絡不良の要因ともなっていた。

#### 【0014】

上記事情に鑑み、本発明の目的は、配線、プラグ、パッド等の金属膜間の寄生容量が抑制された半導体装置の製造方法を提供することにある。また、本発明の

別の目的は、配線、プラグ、パッド等の金属膜同士の短絡が抑制された半導体装置の製造方法を提供することにある。

#### 【 0 0 1 5 】

##### 【課題を解決するための手段】

本発明によれば、半導体基板上に絶縁膜を形成し、該絶縁膜に凹部を形成した後、該凹部を埋め込む金属膜を形成する工程と、基板全面に対して第一の研磨を行い、前記凹部に埋設された形状の金属領域を形成する工程と、基板全面に対して第二の研磨を行い、前記金属領域の一部と前記絶縁膜の一部とを除去する工程と、を含み、第二の研磨を行う前記工程により、前記金属領域上部に形成される順テーパ部（順テーパ部）の少なくとも一部を除去することを特徴とする半導体装置の製造方法が提供される。

#### 【 0 0 1 6 】

本発明に係る製造方法によれば、金属領域部の上部に形成される順テーパ部（順テーパ部）の少なくとも一部を除去する工程を含むため、順テーパ部で金属領域間に生じる寄生容量や、短絡不良の発生を抑制することができる。

#### 【 0 0 1 7 】

なお、不要な金属膜を除去する前記工程以前の工程で凹部の上部に形成される順テーパ部（順テーパ部）は、たとえば前記基板上に下層配線が設けられた半導体装置の場合、通常下層配線を露出させる工程で形成されることが多い。

#### 【 0 0 1 8 】

本発明によれば、半導体基板上に、金属膜により構成された第一の配線を形成する工程と、前記第一の配線を覆うように絶縁膜を形成する工程と、前記絶縁膜を選択的に除去して前記第一の配線の上面に達する接続孔と、該接続孔に接続して設けられた配線溝とを形成する工程と、前記接続孔および配線溝を埋め込む金属膜を形成する工程と、基板全面に対して第一の研磨を行い、前記孔および配線溝に埋設された形状の第二の配線および接続プラグを形成する工程と、基板全面に対して第二の研磨を行い、前記第二の配線の一部と前記絶縁膜の一部とを除去する工程と、を含み、第二の研磨を行う前記工程により、前記第二の配線上部に形成される順テーパ部（順テーパ部）の少なくとも一部を除去することを特徴とする半導体装

置の製造方法が提供される。

#### 【0019】

本発明に係る製造方法によれば、凹部の上部に形成される順テーパーの少なくとも一部を除去する工程を含むため、凹部の上部に形成されるテーパーをより一層確実に除去することができる。したがって、デュアルダマシン法においても、凹部に充填された金属膜間の寄生容量や短絡不良の発生を確実に効率よく抑制することができる。

#### 【0020】

本発明によれば、半導体基板上に絶縁膜を形成する工程と、前記絶縁膜上に犠牲膜を形成する工程と、前記犠牲膜および前記絶縁膜を順次選択的に除去し、該絶縁膜に凹部を形成した後、該凹部を埋め込む金属膜を形成する工程と、基板全面に対して第一の研磨を行い、前記凹部に埋設された形状の金属領域を形成する工程と、基板全面に対して第二の研磨を行い、前記金属領域の一部と前記絶縁膜の一部とを除去する工程と、を含み、第二の研磨を行う前記工程により、前記犠牲膜が除去されることを特徴とする半導体装置の製造方法が提供される。

#### 【0021】

本発明に係る製造方法によれば、絶縁膜上に犠牲膜を形成し、これを除去する工程を含むため、凹部の上部に形成される順テーパー部を確実に除去することができる。したがって、凹部に充填された金属膜間の寄生容量や短絡不良の発生を確実に効率よく抑制することができる。

#### 【0022】

本発明の半導体装置の製造方法において、前記絶縁膜に凹部を形成する工程は、前記絶縁膜よりも前記犠牲膜がより遅くエッチングされるエッチング条件で前記エッチングを行う工程を含むことができる。犠牲膜が絶縁膜よりもエッチングされにくい条件でエッチングすることにより、凹部の上部に形成されるテーパーの大きさを小さくすることができる。したがって、第二の研磨での研磨する厚さを減少させることができるため、より一層効率よく配線間の短絡不良を防止することができる。

#### 【0023】

なお、エッチング条件として、たとえば絶縁膜の種類、エッチングガスの種類、バイアス電圧の大きさなどが挙げられる。このうち、たとえば絶縁膜を有機膜とし、エッチングガスとしてたとえば水素および窒素を含む気体を用いる場合、これに対するエッチング耐性を有する  $\text{SiO}_2$  を犠牲膜の材料として用いることが好ましい。

#### 【0024】

本発明によれば、半導体基板上に、金属膜により構成された第一の配線を形成する工程と、前記第一の配線を覆うように絶縁膜を形成する工程と、前記絶縁膜上に犠牲膜を形成する工程と、前記絶縁膜および前記犠牲膜を選択的に順次除去して前記第一の配線の上面に達する接続孔と、該接続孔に接続して設けられた配線溝とを形成する工程と前記接続孔および配線溝を埋め込む金属膜を形成する工程と、基板全面に対して第一の研磨を行い、前記孔および配線溝に埋設された形状の第二の配線および接続プラグを形成する工程と、基板全面に対して第二の研磨を行い、前記第二の配線の一部と前記絶縁膜の一部とを除去する工程と、を含み、第二の研磨を行う前記工程により、前記第二の配線上部に形成される前記犠牲膜が除去されることを特徴とする半導体装置の製造方法が提供される。

#### 【0025】

デュアルダマシン法においても、絶縁膜上に犠牲膜を形成し、これを除去する工程を含むことにより、凹部に充填された金属膜間の寄生容量や短絡不良の発生を確実に効率よく抑制することができる。

#### 【0026】

本発明の半導体装置の製造方法において、金属領域の一部と絶縁膜の一部とを除去する前記工程以前の工程で、前記凹部の上部に形成される順テーパ部の少なくとも一部を除去する工程を含むことができる。こうすることにより、凹部の上部に形成される順テーパ部をより一層確実に除去することができる。

#### 【0027】

本発明の半導体装置の製造方法において、絶縁膜に接続孔および配線溝を形成する前記工程は、前記絶縁膜よりも前記犠牲膜がより遅くエッチングされるエッチング条件で前記エッチングを行う工程を含むことができる。

**【 0 0 2 8 】**

犠牲膜が絶縁膜よりもエッチングされにくい条件でエッチングすることにより、配線溝の上部に形成されるテーパの大きさを小さくすることができる。したがって、第二の研磨での研磨する厚さを減少させることができるため、より一層効率よく配線間の短絡不良を防止することができる。

**【 0 0 2 9 】**

本発明の半導体装置の製造方法において、前記第二の研磨における研磨速度に関する情報を取得し、該情報に基づいて第二の研磨の終点を決定することことができる。

**【 0 0 3 0 】**

本発明に係る製造方法によれば、第二の研磨における研磨速度に関する情報を取得し、得られた情報に基づき設定された研磨時間の研磨を行う工程を含むため、研磨する厚さを制御することができる。したがって、金属領域の上部に形成される順テーパ部をさらに確実に除去することができる。

**【 0 0 3 1 】**

本発明の半導体装置の製造方法において、前記金属領域とともに研磨される前記絶縁膜の厚さを観測することにより、前記第二の研磨の終点を決定することができる。

**【 0 0 3 2 】**

本発明に係る製造方法によれば、研磨される前記絶縁膜の厚さを観測しながら研磨する工程を含むため、研磨する絶縁膜の厚さを制御することができる。したがって、凹部の上部に形成される順テーパ部をより一層確実に除去することができる。

**【 0 0 3 3 】****【発明の実施の形態】**

本実施形態は、金属領域の上部に形成されるテーパ部分を除去するように研磨することにより、金属領域間に発生する寄生容量や短絡不良を防止するものである。以下、好ましい実施形態について図面を参照しながら説明する。

**【 0 0 3 4 】**

### (第一の実施形態)

図3および図4は、本実施形態に係る半導体装置の製造方法を示す工程断面図である。図3(a)は、不図示の基板上に、第一の絶縁膜201および第一の絶縁膜201中の第一の配線203、拡散防止膜205、および第二の絶縁膜207がこの順に形成された段階を示す。

#### 【0035】

図3(a)の構造は、以下のようにして形成される。すなわち、基板上に第一の絶縁膜201を成膜した後ドライエッチングにより配線溝を形成し、その内部を埋め込むように不図示のバリアメタル膜および銅膜をこの順で形成する。そして、CMPにより配線溝外部に形成された不要なバリアメタル膜および銅膜とを除去することにより、第一の配線203が形成される。次に、第一の配線203上に拡散防止膜205を形成する。拡散防止膜205は、第一の配線203の材料である銅の絶縁膜中への拡散を防止するため、また接続孔211形成時のエッチングストップ膜として用いるために形成される。拡散防止膜205上に、第二の絶縁膜207を形成する。以上により、図3(a)の構造が得られる。

#### 【0036】

第一の配線203の材料としては、Cuにかわり、Al、W、TiNなどとしてもよい。また、拡散防止膜205の材料として、たとえばSiCを用いる。また、SiNなどとしてもよい。拡散防止膜205の厚さは、たとえば25nm以上100nm以下とする。

#### 【0037】

第二の絶縁膜207の材料としては、たとえば比誘電率3.5以下のSiOCを用いる。なお、SiOCは、SiOCHと表記されることもあり、構成元素としては通常、Si、O、CおよびHを含む。このとき、第二の絶縁膜207はCVD法等により形成することができる。また他に用いることができる材料の例として、各種低誘電率材料、たとえば水素化シロキサン系(HSQ)、メチルシロキサン系(MSQ)、水素化メチルシロキサン系(MHSQ)、ポリイミド系(PI)、パーフルオロカーボン系(PPFC)、芳香族エーテル系(PAE)、芳香族炭化水素系(PAHC)、ベンゾシクロブテン(BCB)などのポリマー

が挙げられる。これらの材料を用いた膜は、たとえばCVD法や塗布法により形成することができる。第二の絶縁膜207の厚さは、たとえば500nm以上2000nm以下とする。

#### 【0038】

次に、図3(b)に示すように、第二の絶縁膜207上に反射防止膜（不図示）およびレジスト膜209をこの順に形成し、接続孔211のレジストパターンをリソグラフィーにより形成する。そして、ドライエッチングにより接続孔211を形成する。この際、第二の絶縁膜207と拡散防止膜205とのエッチングレートの差により、拡散防止膜205上にてエッチングを停止させる。これは、第一の配線203の露出による金属汚染や、エッチング後のアッシング、洗浄工程における金属へのダメージを防止するためである。エッチング後、アッシングによりレジスト膜209および反射防止膜を除去する。

#### 【0039】

次に、図3(c)に示すように、第二の絶縁膜207上に不図示の反射防止膜とレジスト膜215をこの順に形成し、配線溝217のレジストパターンを同様に形成する。そしてドライエッチングにより配線溝217を形成する。この際、接続孔211の底部には反射防止膜またはレジスト膜215が埋め込まれているため、エッチングは進行しない。

#### 【0040】

次に、図3(d)に示すように、アッシングによりレジスト膜215および反射防止膜を除去する。そして、図4(a)に示すように、接続孔211底部の拡散防止膜205をドライエッチングにより除去し、第一の配線203を露出させる。

#### 【0041】

このとき、図4(a)に示すように、配線溝217上部のエッチング速度が速いため、配線溝217の上部が順テーパー状にエッチングされる。

#### 【0042】

次に、図4(b)に示すように、接続孔211および配線溝217を含む第二の絶縁膜207上全体に、バリアメタル膜219および電界めっきのシード層と

なる金属膜（不図示）をスパッタによりこの順に形成する。バリアメタル膜 219 の材料として、たとえば Ta、TaN、TiN、TiSiN などの高融点金属や高融点金属化合物、またはそれらの積層膜を用いる。また、バリアメタル膜 219 の厚さは、たとえば 10 nm 以上 50 nm 以下とする。

#### 【0043】

そして、電界めっきにより、接続孔 211 および配線溝 217 に銅膜 221 を同時に埋め込む。銅膜 221 は、第一の配線 203 と同様の他の物質を用いてもよい。銅膜 221 の厚さは、たとえば 300 nm 以上 2000 nm 以下とする。

#### 【0044】

次に、図 4（c）、図 4（d）に示すように、凹部を除く領域に形成された不要部分の銅膜 221 およびバリアメタル膜 219 を CMP により除去することにより、配線溝 217 中の銅膜 221 を第二の配線とする半導体装置を得る。このとき CMP は、銅膜 221 とバリアメタル膜 219 との研磨選択比を大きくしてバリアメタル膜 219 表面で研磨を停止する一次研磨（図 4（c））と、残ったバリアメタル膜 219 を研磨する二次研磨（図 4（d））の 2 段階にて行われる。本実施形態においては、この二次研磨の段階で、バリアメタル膜 219 とともに配線溝 217 の上部に形成されたテーパー部分の第二の絶縁膜 207 および銅膜 221 を研磨し、平坦化する。これにより、配線間隔の小さくなったテーパー部分が除去されるため、微細な配線間スペースにおいても、短絡不良の発生を効果的に防止することが可能となる。

#### 【0045】

ここで、一次研磨においては、銅膜 221 が効率よく研磨されるスラリーを用いる。このようなスラリーとして、たとえば  $H_2O_2$  などの酸化剤や銅膜 221 の材料金属の腐食防止剤を含むものを用いることができる。

#### 【0046】

また、二次研磨では、バリアメタル膜 219 を効率よく研磨するため、機械的研磨を主としたスラリーを用いる。このようなスラリーとして、たとえばシリカなどの砥粒や銅膜 221 の材料の腐食防止剤を含むものを用いることができる。また、バリアメタル膜 219 とともに第二の絶縁膜 207、銅膜 221 も研磨す



るため、これらの研磨速度の差が小さいスラリーを用いる。このようなスラリーとして、たとえばバリアメタルの研磨速度に対して絶縁膜の研磨速度が1/3倍以上3倍以下であるものを用いることが好ましい。こうすることにより、ディッシングやエロージョンの発生を抑制し、研磨された表面の平坦性を維持することができる。

#### 【0047】

二次研磨においては、配線溝217上部のテーパーをすべて研磨してもよいし、短絡不良が発止しない範囲で、テーパーの一部を研磨してもよい。また、第二の絶縁膜107としてSiOCなどの低誘電率膜を用いた場合、配線溝117上部に形成されるテーパーは、深さ約50nm以上となることが多いため、二次研磨において第二の絶縁膜207を上面から50nm以上研磨することが寄生容量や短絡不良の防止に特に有効である。

#### 【0048】

このように、本実施形態に係る製造方法においては、二次研磨においてテーパーを効率よく除去するために、研磨する厚みを制御する必要がある。この制御方法について以下説明する。

#### 【0049】

研磨する厚みを制御する方法の一つとして、配線溝117上面の間隔を計測する方法が挙げられる。この方法を図7を用いて説明する。図7は、図2(c)における配線溝217上部の拡大図である。

#### 【0050】

ダミーウエーハに図3および図4と同様の方法で図4(c)の配線パターンを形成する。そして、二次研磨における研磨時間を変化し(図7における各矢印)、各段階における配線溝117上面をSEM(走査型電子顕微鏡)等により観察する。このとき、測長SEMを用いると、精度よい観察が可能となり好ましい。配線溝117間の線幅を計測し、一定の幅になったところで研磨を停止する研磨条件を設定することにより、二次研磨において研磨する第二の絶縁膜207の厚みを簡便に効率よく制御することが可能となる。

#### 【0051】

なお、研磨条件の設定において、ダミーウエーハを用いるかわりに実際のウエーハを用いてもよい。

#### 【0052】

また、研磨する厚みを制御する別の方法として、図8に示すように、CMP装置に光干渉式の膜厚計を設け、終点検出モジュールとして用いる方法が挙げられる。たとえば、アプライドマテリアルズ社製CMP装置のISRM (in Situ Removal Monitor) を用いることができる。図8において、研磨パッド131に透明窓133が設けられており、透明窓133には光が入射する。ウエーハ135が透明窓133上にある際には、透明窓133に入射した光が反射し、その際に生じる干渉からウエーハ135表面の絶縁膜厚が測定される。このような構成を採用すると、一枚一枚のウエーハ135についてバリアメタルがなくなった時点からCMP中に膜厚を測定することが可能となる。よって、膜厚の減少を測定し、膜厚が一定量減少した時点で研磨を停止することによって、研磨する第二の絶縁膜207の厚みを制御することが可能である。

#### 【0053】

(第二の実施形態)

図5および図6は、本実施形態に係る半導体装置の製造方法を示す図である。図5(a)に至るまでの工程は、第一の実施形態と同様である。図5(a)は、図3(a)において、第二の絶縁膜207の上面に犠牲膜213が形成された様子を示す。

#### 【0054】

図5(b)以下、第一の実施形態における図3(b)以下の工程と同様にして、接続孔211および配線溝217を形成し、配線溝217を含む犠牲膜213および第二の絶縁膜207上にバリアメタル膜219および銅膜221を形成する。こうして、図6(b)の断面が得られる。

#### 【0055】

次に、図6(c)、図6(d)に示すように、第一の実施形態と同様に、二段階のCMPを行う。ここで、二次研磨の際には、バリアメタル膜219およびテーパーの形成された犠牲膜213、銅膜221を研磨し、犠牲膜213を除去す

る。二次研磨における研磨量の制御は、たとえば第一の実施形態と同様にして行う。こうして、配線溝 217 中の銅膜 221 を第二の配線とする図 6 (d) の半導体装置が得られる。

#### 【0056】

犠牲膜 213 に用いる材料としては、拡散防止膜 205 のエッチング速度と同等かまたはこれより小さい材料を用いることができる。拡散防止膜 205 よりもエッチング速度が小さい膜であれば、第二の絶縁膜 207 よりエッチング速度が小さく、配線溝 217 上部のテーパ形成を抑制することができる。たとえば拡散防止膜 205 の材料として SiC を用いる場合、SiC またはこれよりもエッチングレートが低い膜、たとえば SiO<sub>2</sub>、SiN、SiC、SiON、SiCN 等が利用できる。また、犠牲膜 213 の膜厚は、たとえば 10 nm 以上 100 nm 以下とする。10 nm 以上とすることにより、配線溝 217 上部へのテーパ形成を好適に抑制し、テーパの大きさを小さくすることができる。また、100 nm 以下とすることにより、CMP において効率よく除去することが可能となる。

#### 【0057】

このように、本実施形態では、第二の絶縁膜 207 上に、第二の絶縁膜 207 よりもエッチング速度が遅い犠牲膜 213 を設けるため、配線溝 217 上部において角のエッチングが抑制される。このため、犠牲膜 213 を設けない場合に比べて配線溝 217 上部に形成されるテーパの大きさを小さくすることができる。よって、図 9 に示すように、二次研磨における研磨量を図 7 の場合に比べて少なくし、たとえば 30 nm とすることができる。なお、図 9 は、図 6 (c) における配線溝 217 上部の拡大図である。

#### 【0058】

以上より、本実施形態では第二の絶縁膜 207 上に犠牲膜 213 を設けることにより、さらに効率よく配線溝 217 上部のテーパ部分を除去することができる。よって、配線間の短絡をさらに効果的に防止することができる。また、犠牲膜 213 は CMP で除去されるため、第二の絶縁膜 207 との間の剥離等について考慮する必要がなく、犠牲膜 213 自体としての性能を追求すればよいため、

材料選択の自由度が高い。

#### 【 0 0 5 9 】

以上、本発明を実施形態に基づき説明した。これらの実施形態は例示であり、それらの各構成要素や各製造工程の組合せにいろいろな変形例が可能なこと、またそうした変形例も本発明の範囲にあることは当業者に理解されるところである。

#### 【 0 0 6 0 】

##### 【発明の効果】

以上説明したように本発明によれば、基板全面に対して第一の研磨を行い、凹部に埋設された形状の金属領域を形成する工程と、基板全面に対して第二の研磨を行い、金属領域の一部と絶縁膜の一部とを除去する工程と、を含み、第二の研磨を行う工程により、金属領域上部に形成される順テーパー部の少なくとも一部を除去することにより、配線、プラグ、パッド等の金属膜間の寄生容量が抑制された半導体装置の製造方法が実現される。また、本発明によれば、配線、プラグ、パッド等の金属膜同士の短絡が抑制された半導体装置の製造方法が実現される。

##### 【図面の簡単な説明】

【図 1】 従来の半導体装置の製造方法を示す工程断面図である。

【図 2】 従来の半導体装置の製造方法を示す工程断面図である。

【図 3】 実施の形態に係る半導体装置の製造方法を示す工程断面図である。

【図 4】 実施の形態に係る半導体装置の製造方法を示す工程断面図である。

【図 5】 実施の形態に係る半導体装置の製造方法を示す工程断面図である。

【図 6】 実施の形態に係る半導体装置の製造方法を示す工程断面図である。

【図 7】 実施の形態に係る研磨厚さの制御方法を説明するための図である。

【図 8】 実施の形態に係る研磨厚さの制御方法を説明するための図である

。

【図 9】 実施の形態に係る研磨厚さの制御方法を説明するための図である

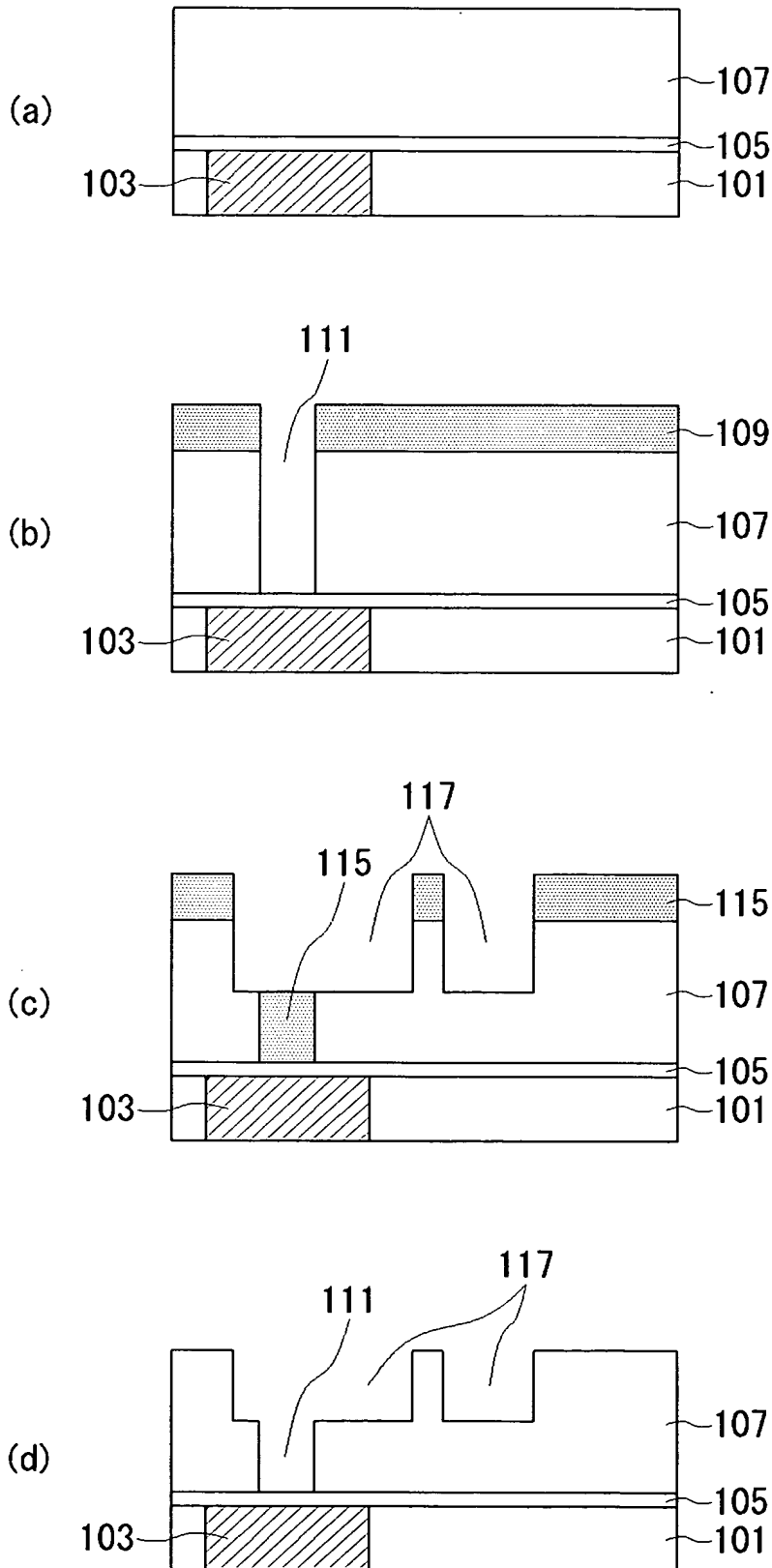
。

【符号の説明】

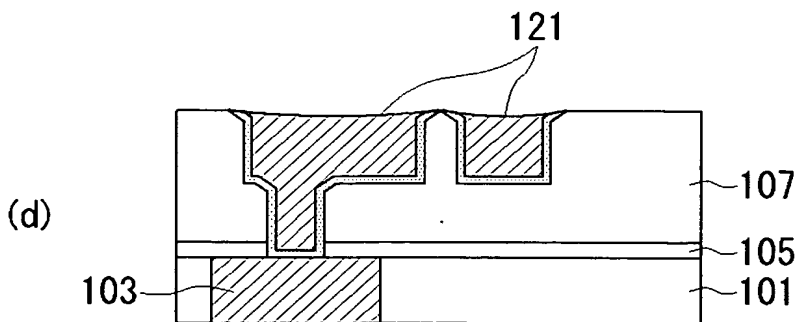
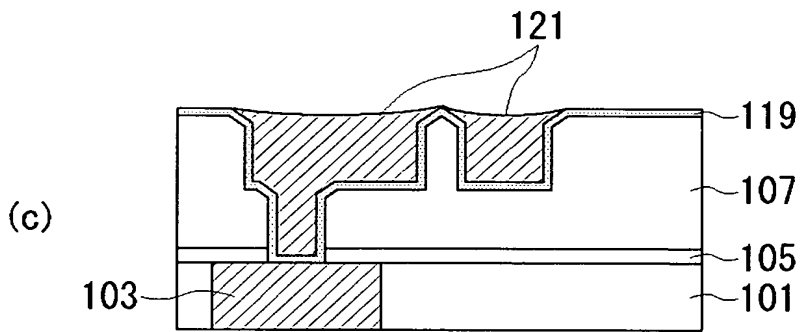
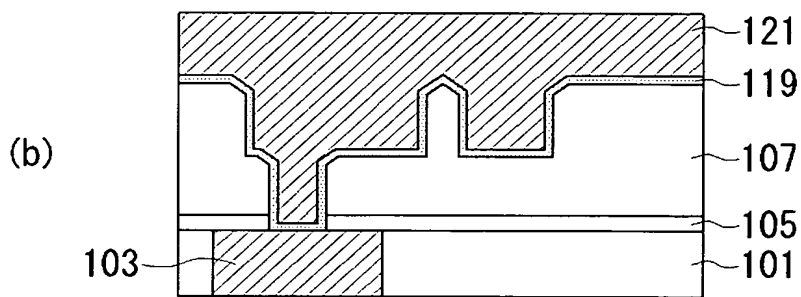
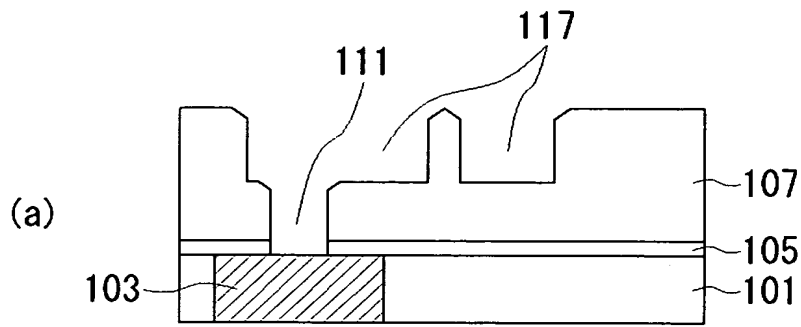
101 第一の絶縁膜、 103 第一の配線、 105 拡散防止膜、 107 第二の絶縁膜、 109 レジスト膜、 111 接続孔、 115 レジスト膜、 117 配線溝、 119 バリアメタル膜、 121 銅膜、 131 研磨パッド、 133 透明窓、 135 ウエーハ、 201 第一の絶縁膜、 203 第一の配線、 205 拡散防止膜、 207 第二の絶縁膜、 209 レジスト膜、 211 接続孔、 213 犠牲膜、 215 レジスト膜、 217 配線溝、 219 バリアメタル膜、 221 銅膜。

【書類名】 図面

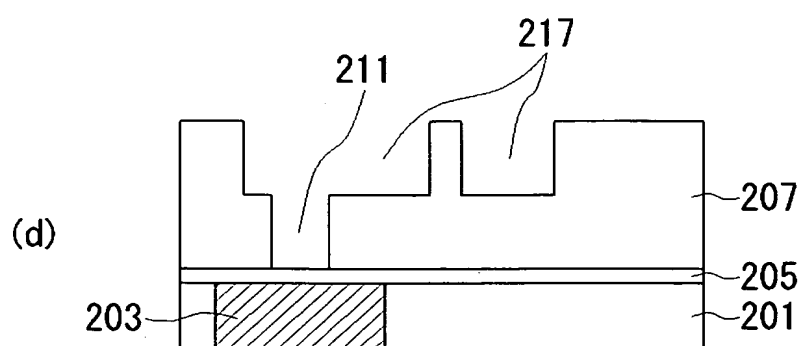
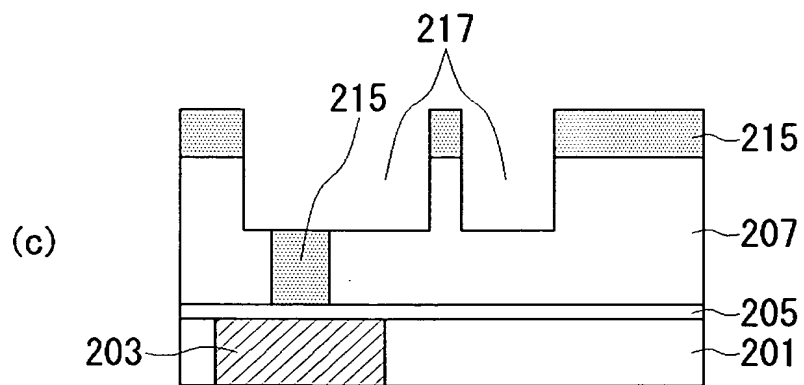
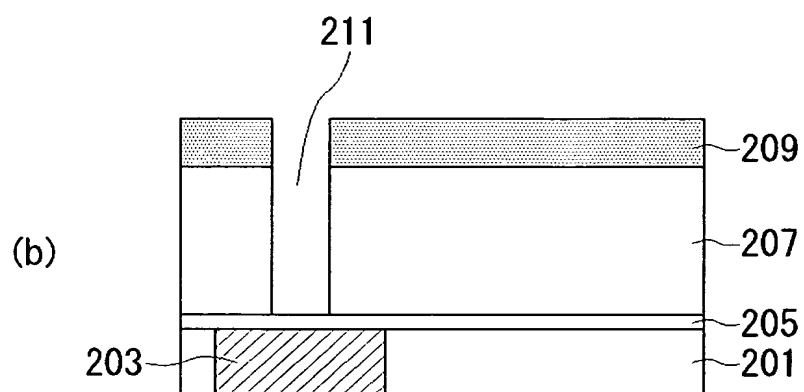
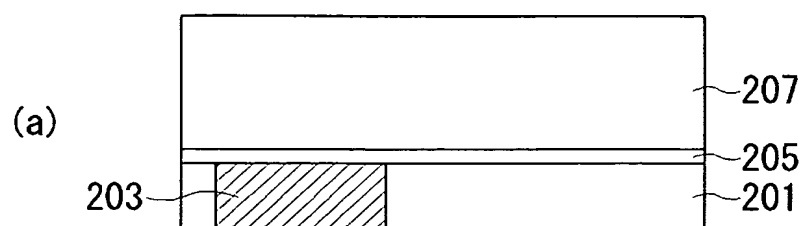
【図 1】



【図 2】

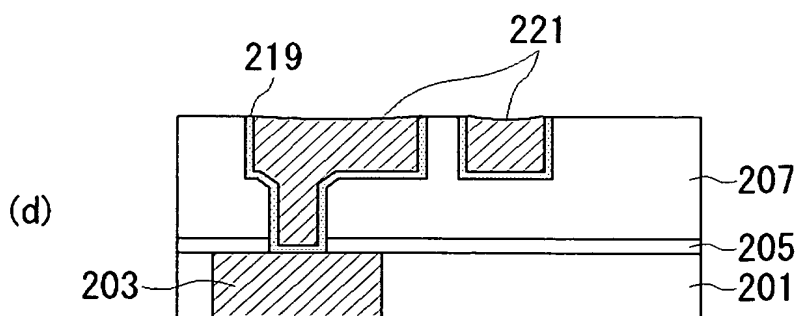
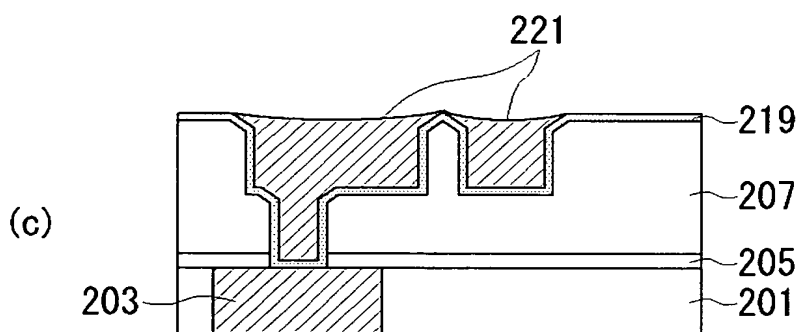
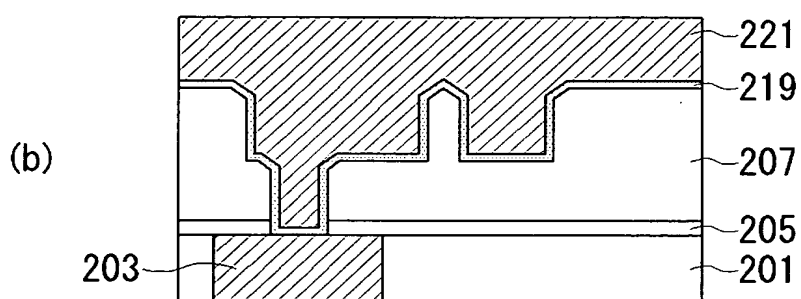
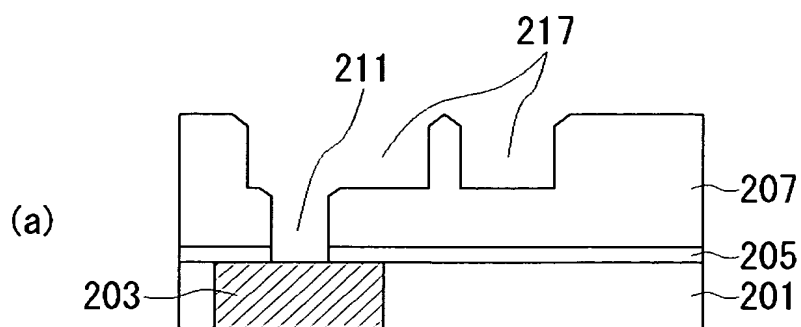


【図 3】

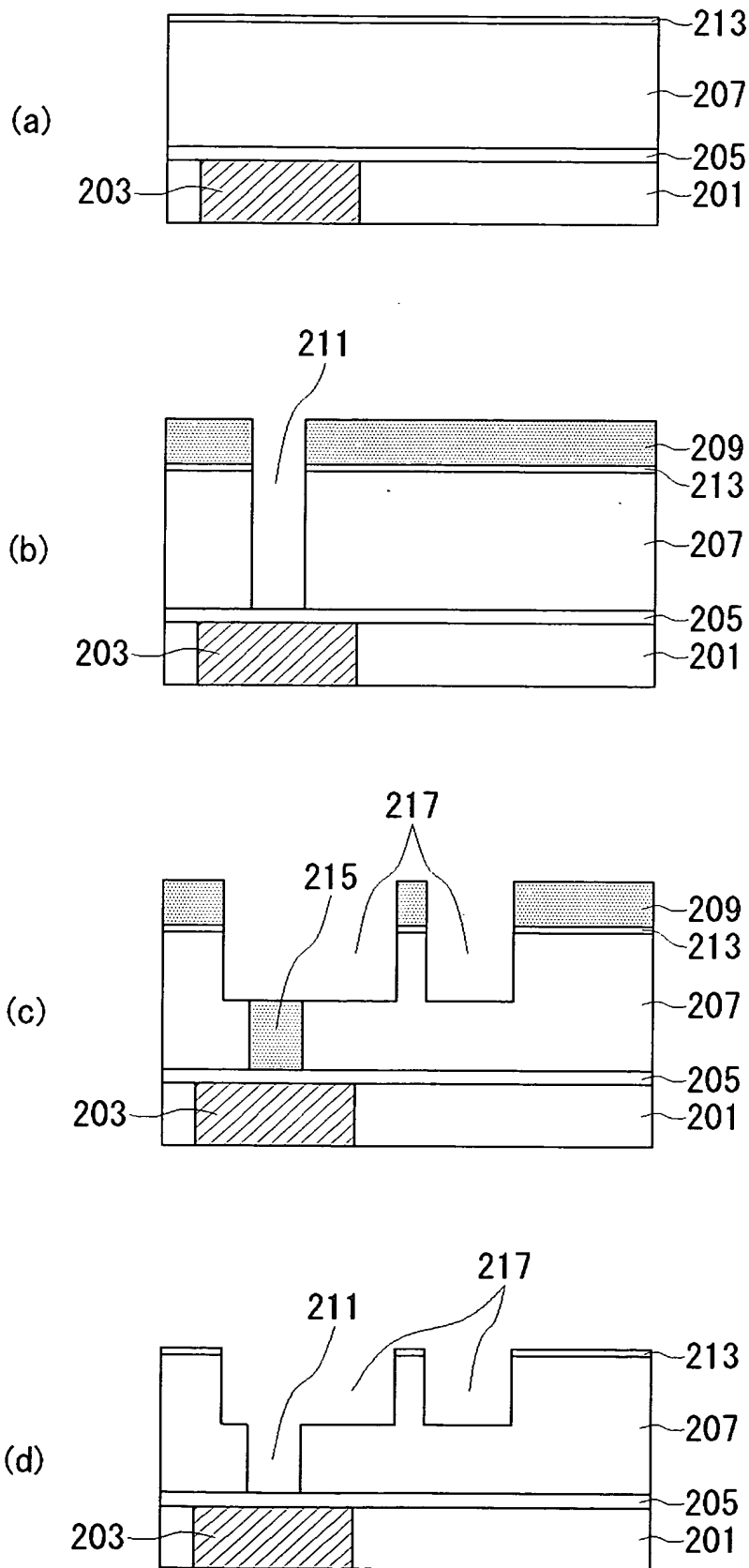




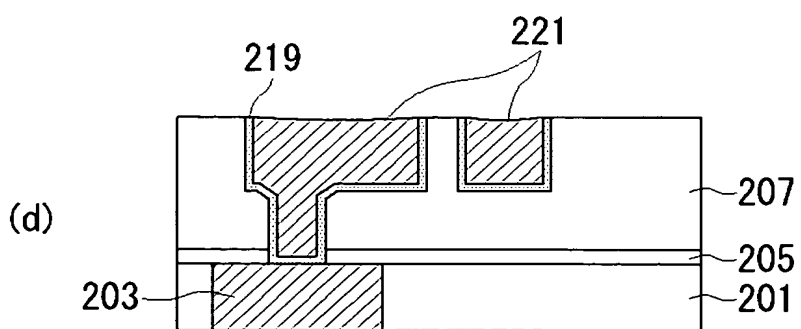
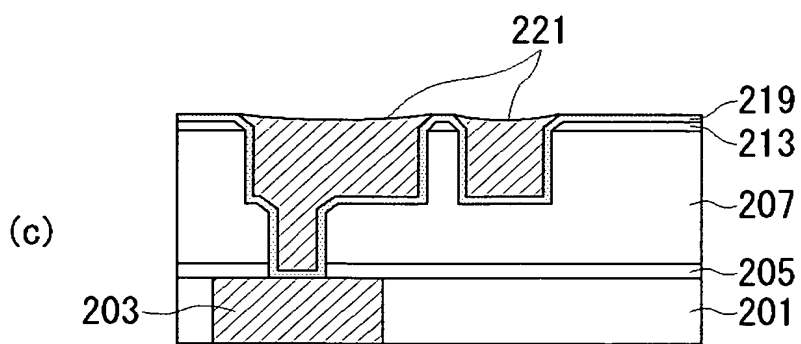
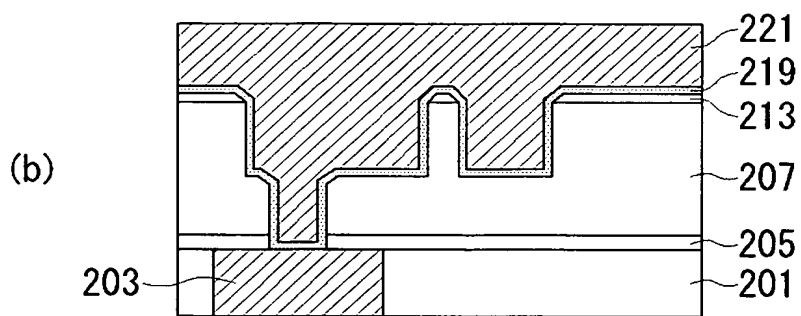
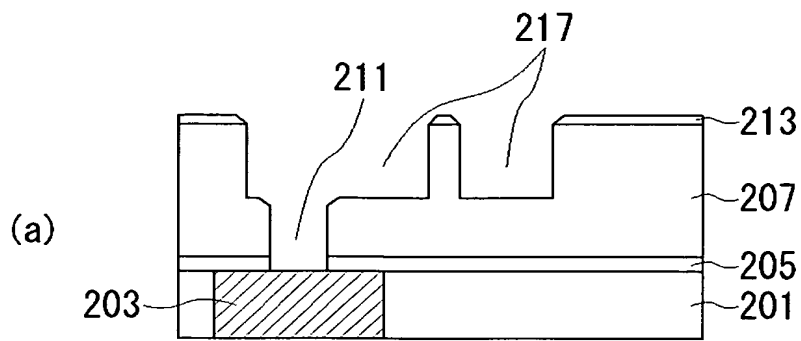
【図 4】



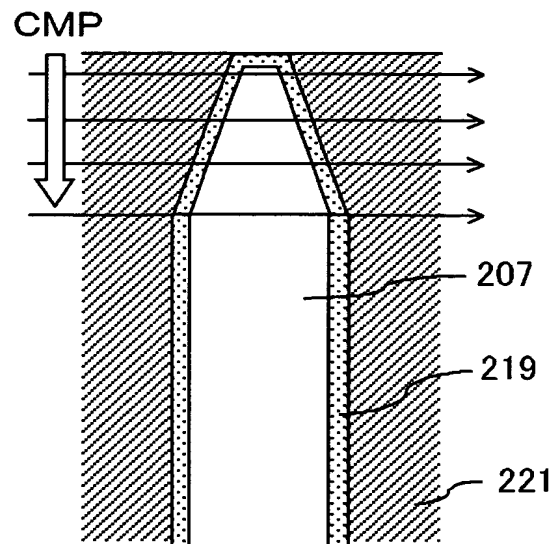
【図 5】



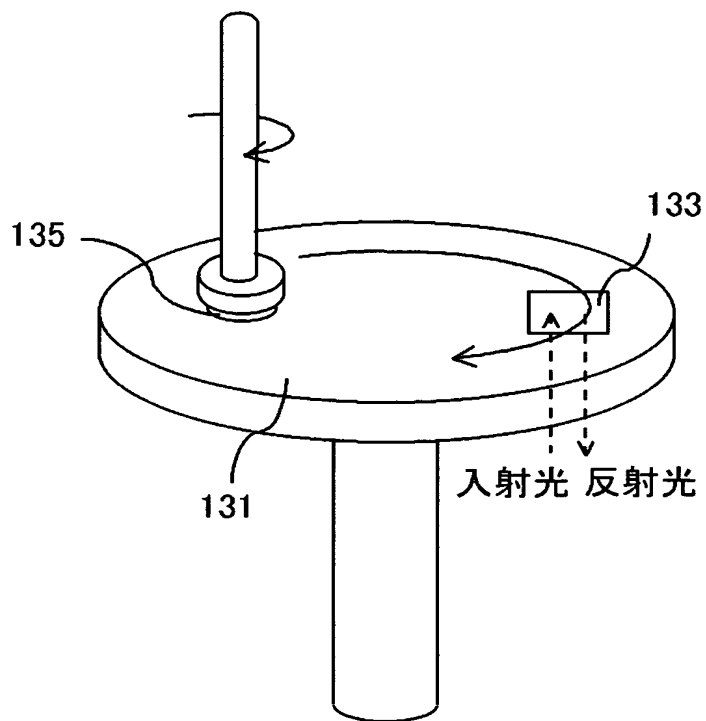
【図 6】



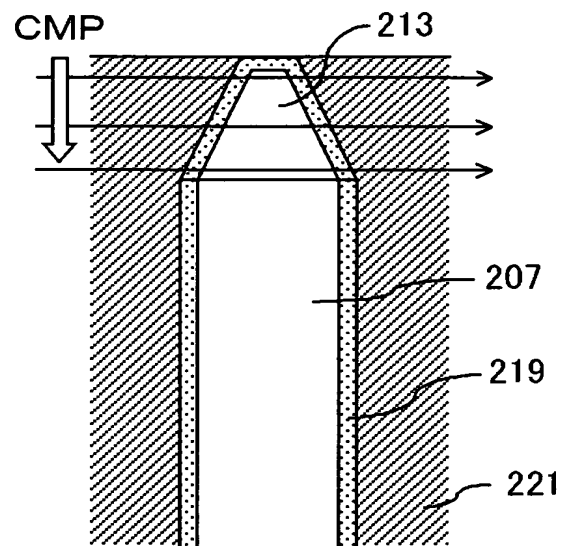
【図 7】



【図 8】



【図 9】



【書類名】 要約書

【要約】

【課題】 金属膜間の寄生容量が抑制された半導体装置の製造方法を提供する。  
また、金属膜同士の短絡が抑制された半導体装置の製造方法を提供する。

【解決手段】 基板上に、第一の配線 2 0 3、拡散防止膜 2 0 5、および第二の絶縁膜 2 0 7 をこの順に形成し、第二の絶縁膜 2 0 7 の上面に犠牲膜 2 1 3 を形成する。そして接続孔 2 1 1 および配線溝 2 1 7 を形成し、犠牲膜 2 1 3 上にバリアメタル膜 2 1 9 および銅膜 2 2 1 を形成する。不要部分の銅膜 2 2 1 およびバリアメタル膜 2 1 9 を除去する CMP を、バリアメタル膜 2 1 9 表面で研磨を停止する一次研磨と、残ったバリアメタル膜 2 1 9 およびテーパーの形成された犠牲膜 2 1 3 を研磨する二次研磨の 2 段階にて行う。

【選択図】 図 4

特願 2 0 0 2 - 3 4 7 0 9 4

出 願 人 履 歴 情 報

識別番号

[ 0 0 0 0 0 1 8 8 9 ]

1. 変更年月日

1 9 9 0 年 8 月 2 4 日

[変更理由]

新規登録

住 所

大阪府守口市京阪本通 2 丁目 1 8 番地

氏 名

三洋電機株式会社

2. 変更年月日

1 9 9 3 年 1 0 月 2 0 日

[変更理由]

住所変更

住 所

大阪府守口市京阪本通 2 丁目 5 番 5 号

氏 名

三洋電機株式会社